

PAT-NO: JP409146119A

DOCUMENT-IDENTIFIER: JP 09146119 A

TITLE: LIQUID CRYSTAL DISPLAY DEVICE

PUBN-DATE: June 6, 1997

INVENTOR-INFORMATION:

NAME

JINNO, MASASHI

ASSIGNEE-INFORMATION:

NAME

SANYO ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP07307644

APPL-DATE: November 27, 1995

INT-CL (IPC): G02F001/136, H01L029/786 , H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To improve a display grade by changing the threshold

characteristic of a p-SiTFT in a pixel part and driving circuit part.

SOLUTION: The channel region 11nd of the pixel part is undoped and is formed

as the channel region 11p of a shift register part. The voltage between the gate and drain during a non-selection period is negative in the pixel part and,

therefore, an off current is shut off and the on-current for high mobility is

increased. The dealing with higher fineness and larger screen is possible. Since the threshold increases in the shift register part, the off-current is eliminated and a malfunction is prevented.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-146119

(43) 公開日 平成9年(1997)6月6日

(51) IntCl ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 B
21/336				6 1 6 A

審査請求 未請求 請求項の数 2 O L (全 14 頁)

(21) 出願番号 特願平7-307644

(22) 出願日 平成7年(1995)11月27日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 神野 優志

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

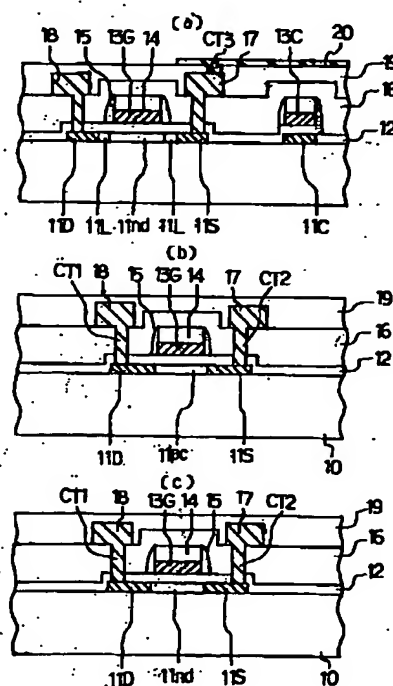
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 p-Si TFTを用いた駆動回路一体型液晶表示装置において、画素部と駆動回路部でp-Si TFTの閾値特性を変え、表示品位を向上する。

【解決手段】 画素部のチャンネル領域11ndをノンドープとし、シフトレジスタ部のチャンネル領域11pcとする。画素部では、非選択期間中のゲート・ドレイン間電圧が負となるため、OFF電流が遮断されるとともに、高移動度のためON電流も増加し、高精細、大画面化にも対応できる。シフトレジスタ部では閾値が上がるため、OFF電流が無くされ、誤動作が防止される。



【特許請求の範囲】

【請求項1】 基板上に、表示画素がマトリクス状に配置されてなる画素部と、シフトレジスタ回路及びサンプリング回路からなり、前記表示画素を駆動する駆動回路部とが形成され、前記画素部及び駆動回路部は、チャンネル層として多結晶シリコンを用いた薄膜トランジスタにより構成された液晶表示装置において、

前記シフトレジスタ回路を構成する前記薄膜トランジスタは、島状に形成され第1導電型不純物を含有するチャンネル領域と、このチャンネル領域の両側に第2の導電型不純物を含有するソース領域及びドレイン領域とを含む多結晶シリコン層と、絶縁膜を挟んで前記チャンネル領域に対向配置されたゲート電極とからなり、

前記画素部及び前記サンプリング回路を構成する前記薄膜トランジスタは、島状に形成され不純物をイントリンシック層からなるチャンネル領域と、このチャンネル領域の両側に第2の導電型不純物を高濃度に含有するソース領域及びドレイン領域とを含む多結晶シリコン層と、絶縁膜を挟んで前記チャンネル領域に対向配置されたゲート電極とからなることを特徴とする液晶表示装置。

【請求項2】 前記画素部を構成する薄膜トランジスタは、チャンネル領域と、ソース領域及びドレイン領域の間に、前記第2の導電型不純物を低濃度に含有するLD領域を介在したことを特徴とする請求項1記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ(TFT: thin film transistor)を搭載した液晶表示装置(LCD: Liquid Crystal Display)に関し、特に、チャンネル層を多結晶シリコン、即ち、 poly-Si により形成し、これを用いて駆動回路部を基板上に一体的に形成した駆動回路一体型を実現する poly-Si TFT に関する。

【0002】

【従来の技術】LCDは小型、薄型、低消費電力などの利点があり、OA機器、AV機器などの分野で実用化が進んでいる。特に、スイッチング素子として、薄膜トランジスタ、即ち、TFTを用いたアクティブマトリクス型は、原理的にデューティ比100%のスタティック駆動をマルチプレクスのに行うことができ、大画面、高精細な動画ディスプレイに使用されている。

【0003】アクティブマトリクスLCDは、マトリクス状に配置された表示電極にTFTを接続形成した基板(TFT基板)と共通電極を有する基板(対向基板)が、液晶を挟んで貼り合わされて構成されている。表示電極と共通電極の対向部分は液晶を誘電層とした画素容量となっており、TFTにより選択された電圧が印加される。液晶は電気光学的に異方性を有しており、画素容量により形成された電界の強度に対応して光を変調す

る。

【0004】近年、TFTのチャンネル層として多結晶シリコン(p-Si)を用いることによって、マトリクス画素部と周辺駆動回路部を同一基板上に形成した駆動回路一体型のLCDが開発されている。一般に、 p-Si は非結晶シリコン(a-Si)に比べて移動度が高く、また、ゲートセルフアライン構造による微細化、寄生容量の縮小による高速化が達成され、 n-ch TFT と p-ch TFT の相補構造を形成することにより、高速駆動回路を構成することができる。このように、駆動回路部をマトリクス画素部と一体形成することにより、製造コストの削減、LCDモジュールの小型化が実現される。

【0005】図16にこのようなLCDの構成を示す。中央部の点線で囲まれた部分はマトリクス画素部であり、TFTのON/OFFを制御するゲートライン($G1 \sim Gm$)と画素信号用のドレインライン($D1 \sim Dn$)が交差して配置されている。各交点にはスイッチング素子であるTFTとこれに接続する表示電極(いずれも不図示)が形成されている。表示部の左右にはゲートライン($G1 \sim Gm$)を選択するゲートドライバー(GD)が配置され、画素部の上下には、映像信号をサンプリングしてホールドし、ゲートドライバ(GD)の走査に同期して各ドレインライン($D1 \sim Dn$)に画素信号電圧を印加するドレインドライバー(DD)が配置されている。ドレインドライバー(DD)は、主としてシフトレジスタ回路、サンプリング回路及びホールド用キャパシタからなり、ゲートドライバー(GD)は主にシフトレジスタからなる。

【0006】図17、図18及び図19に、このような p-Si TFT を用いた液晶表示装置の構造を示す。図17は単位画素部の平面図、図18はそのB-B線に沿った断面図、図19は、駆動回路部のn型の p-Si TFT の断面図である。ガラスなどの基板(100)上に、島状にパターンニングされた p-Si (101)、及び、画素部では、 p-Si (101)の島層と一体で電荷保持用の補助容量を形成する第1の補助容量電極(101C)が形成されている。 p-Si (101)及び第1の補助容量電極(101C)を覆う全面には、 SiO_2 などのゲート絶縁膜(102)が被覆されている。ゲート絶縁膜(102)上には、ドーパド poly-Si とシリサイドのポリサイド層からなるゲート電極(103G)と、これに一体のゲートライン(103L)が形成されている。ゲート電極とそのライン(103)上には、製造工程において、n型の不純物の注入を防ぐためのストッパー(104)が形成されている。また、これらゲート電極及びライン(103)の側壁には、絶縁物からなる側壁スペーサ(105)が形成されている。また画素部では、図18より、 p-Si (101)の島層中には、ゲート電極(103G)とスペーサ(105)

を使ったセルフアラインにより、チャンネル領域(101P)とその両側にn型に低濃度にドーピングされてなる低濃度のLD領域(101L)が形成され、更にその外側にはn型に高濃度にドーピングされたソース領域(101S)及びドレイン領域(101D)が形成されている。また、チャンネル領域(101P)はエンハンスメント形の特性を得るために、p型にドーピングされている。一方、図19に示されているように、駆動回路部では、LD領域は設けられず、ゲート電極(103G)を使ったセルフアライン構造により、p型のチャンネル領域(101P)の両側に、ソース及びドレイン領域(101S、101D)が形成されている。

【0007】図18に示されているように、ソース及びドレイン領域(101S、101D)とチャンネル領域(101P)の間に低濃度のLD(lightly doped drain)と呼ばれ、画素部にあってリーク電流が抑制され、電圧保持率を高める働きをしている。前記第1の補助容量電極(101C)に対応するゲート絶縁膜(102)上にはゲート電極及びライン(103)と同一層からなる第2の補助容量電極(103C)が形成され、補助容量を形成している。また、これらゲート電極(103G)とそのライン(103L)及び第2の補助容量電極(103C)を覆う全面にはSiNXなどの第1の層間絶縁膜(106)が被覆され、第1の層間絶縁膜(106)上には、A1などからなるドレイン電極(108)及びソース電極(107)が設けられ、ゲート絶縁膜(102)及び第1の層間絶縁膜(106)中に開口された第1及び第2のコンタクトホール(CT4、CT5)を介して各々ドレイン・ソース領域(101D、101S)に接続されている。これらドレイン電極(108)及びソース電極(107)を覆う全面には、第2の層間絶縁膜(109)が形成されている。図18に示されているように、画素部では更にソース電極(107)上の第2の層間絶縁膜(109)中に第3のコンタクトホール(CT6)が開口され、第2の層間絶縁膜(109)上にはITOからなる表示電極(110)が形成され、第3のコンタクトホール(CT6)を介してソース電極(107)へ接続されている。

【0008】

【発明が解決しようとする課題】従来は、図17及び図18に示されているように、画素部においても、図19に示した駆動部と同様、チャンネル領域(101P)が、p型にドーピングされていた。これは、駆動回路部においては、相補動作のために、閾値を上げる必要があるため、画素部においてもこれと同じ構造が採用されたものである。しかし、このような、チャンネルドーパ型TFTでは、チャンネル層が、p型のドーピング層であるため、n-chTFTにあっては、実効的な移動度を低下させてしまう。

【0009】一方、画素部では、駆動部のように、閾値をあげる必要はない。また、素子の小型化、高精細化が進むと、充電特性の向上が望まれる。即ち、素子が小型化すると、TFTのチャンネル幅が小さくなり、相互コンダクタンスが低下するが、その上、移動度が小さくても、相互コンダクタンスが更に小さくなってしまふ。また、高精細化が進み画素数が増大すると、1ライン分の選択期間が短くなるため、充電特性を良くする必要がある。

【0010】また、駆動回路部と画素部のいずれにも、イントリンシック層からなるチャンネル領域、即ち、ノンドープあるいはn型不純物とp型不純物が等量ドーピングされて結果的にノンドープ層と同じフェルミレベルを有するバンド構造を示す層により形成した場合次のような問題が起こる。即ち、図20に示すように、伝達特性が、閾値を0V付近に有する正常な特性曲線(II)から、ポリシリコン膜中の不純物などにより、特性曲線(IV)で示すように、閾値が下がる方向にシフトする場合がある。この時、シフトレジスタ部において、スタンバイ時に、例えばゲート・ドレイン間電圧が0Vで、ソース電圧がハイレベルにあるような場合、サブシュレッシュホールド電流(Ia)を生じてしまう。測定によれば、サブシュレッシュホールド特性を表すスイング、即ち、ソース・ドレイン電流を1桁上げるのに要されるゲート電圧は、0.2~0.3V/de c程度ある。従って、図20に示すように電圧-電流特性がシフトしていると、ゲート電圧が僅かに変動して(Va)になった場合でも、サブシュレッシュホールド電流(Ib)の激増を招き、スタンバイ時のリーク電流となつて、誤動作の原因にもなっていた。

【0011】

【課題を解決するための手段】本発明はこの課題を解決するために成されたもので、まず、基板上に、表示画素がマトリクス状に配置されてなる画素部と、シフトレジスタ回路及びサンプリング回路からなり、前記表示画素を駆動する駆動回路部とが形成され、前記表示画素及び駆動回路部は、チャンネル層として多結晶シリコンを用いた薄膜トランジスタにより構成された液晶表示装置において、前記シフトレジスタ回路を構成する前記薄膜トランジスタは、島状に形成され第1導電型不純物を含有するチャンネル領域と、このチャンネル領域の両側に第2の導電型不純物を含有するソース領域及びドレイン領域とを含む多結晶シリコン層と、絶縁膜を挟んで前記チャンネル領域に対向配置されたゲート電極とからなり、前記画素部及び前記サンプリング回路を構成する前記薄膜トランジスタは、島状に形成され不純物をイントリンシック層からなるチャンネル領域と、このチャンネル領域の両側に第2の導電型不純物を高濃度に含有するソース領域及びドレイン領域とを含む多結晶シリコン層と、絶縁膜を挟んで前記チャンネル領域に対向配置されたゲ

ート電極とからなる構成である。

【0012】画素部及びサンプリング回路を構成する薄膜トランジスタのチャンネル層をイントリンシックな特性を有する層、即ち、ノンドーブ層と同じフェルミレベルを有する層により形成することで、ゲート・ドレイン間の閾値が0V付近になり、低い電圧により動作が制御されるので、消費電力が低減する。また、チャンネル領域の移動度が下がらないため、トランジスタの小型化や高精細化により、トランジスタのON期間が短縮しても、表示用電圧の充電率が下がることがなくなる。一

方、シフトレジスタ回路では、薄膜トランジスタのチャンネルドーピングにより、閾値が上げられているので、スタンバイ時においてもサブシュレッショールド電流が流れることが無く、正確な相補動作が行われる。

【0013】また特に、前記画素部を構成する薄膜トランジスタは、チャンネル領域と、ソース領域及びドレイン領域の間に、前記第2の導電型不純物を低濃度に含有するLD領域を介在した構成である。これにより、前記チャンネル領域に不純物が含有されない薄膜トランジスタにおいて、OFF電流が増えるという問題が防がれ、

電圧保持率が向上し、コントラスト比が向上する。

【0014】

【発明の実施の形態】図1は本発明の第1の実施形態にかかる液晶表示装を構成するTFT基板の各部の断面図である。図1の(a)は、画素部の断面図であり、図2の(b)は、シフトレジスタ部の断面図で、いずれもn-chTFTを示している。また、図1の(c)はp-chTFTの断面図である。なお、サンプリング部は、図1の(a)と同様の構造のTFTによりなっている。また、図2は単位画素部の平面図であり、図1の(a)は図2のA-A線に沿った断面図である。

【0015】ガラスなどの基板(10)上に、p-Si(11)が島状に形成され、これを覆う全面には、SiO₂のゲート絶縁膜(12)が形成されている。ゲート絶縁膜(12)上には、ドーブドpoly-Siとタングステンなどのシリサイドとの積層体からなるポリサイドにより、ゲートライン(13L)及びゲート電極(13G)が形成され、ゲート電極(13G)はp-Si(11)島層の上方に配置されている。画素部(サンプリング部)(a)では、p-Si(11)中のゲート電極(13G)直下は、ノンドーブ層とされており、シフトレジスタ部(b)では、p型に低濃度にドーピングされ、各々チャンネル領域(11nd, 11pc)となっている。また、p-ch部(c)では、ノンドーブのチャンネル領域(11nd)となっている。更に、画素部(a)では、ゲート電極(13G)に対し、セルフアライン関係をもって、チャンネル領域(11nd)の両側にn型に低濃度にドーピングされたLD(lightly doped)領域(11L)及びこのLD領域(11L)の外側

イン領域(11S, 11D)が形成され、LDD(lightly doped drain)構造となっている。シフトレジスタ部(b)及びp-ch部(c)では、それぞれゲート電極(13G)に対しセルフアライン関係をもってチャンネル領域(11pc, 11nd)の両側にn型及びp型に高濃度にドーピングされたソース及びドレイン領域(11S, 11D)が形成されている。また、画素部(a)では、ソース領域(11S)と一体のp-Si層により第1の補助容量電極(11C)が形成され、ゲート絶縁膜(12)に覆われている。ゲート絶縁膜(12)を挟んだ第1の補助容量電極(11C)上には、ゲート電極(13G)と同一材料のポリサイドからなる第2の補助容量電極(13C)が形成され、電荷保持用の補助容量を形成している。これら、ゲート電極(13G)及び第1の補助容量電極(13C)上には、後に述べるように製造上の要請からSiO₂などの注入ストッパー(14)が、同じパターンで形成されている。これらゲートライン及び電極と補助容量電極(13)と注入ストッパー(14)の側壁にはSiO₂などのスペーサ(15)が形成されている。これらを覆う全面には、SiO₂などからなる第1の層間絶縁膜(16)が形成され、第1の層間絶縁膜(16)上には、A1などからなるドレイン電極(18)及びソース電極(17)が形成され、各々ゲート絶縁膜(12)及び第1の層間絶縁膜(16)中に形成されたコンタクトホール(CT1, CT2)を介して、ドレイン領域(11D)及びソース領域(11S)に接続されている。これらドレイン電極(18)及びソース電極(17)を覆う全面には、SOG膜などの平坦化膜からなる第2の層間絶縁膜(19)が形成されている。更に画素部(a)では、第2の層間絶縁膜(19)上にITO(indium tin oxide)からなる表示電極(20)が形成され、第2の層間絶縁膜(18)中に形成されたコンタクトホール(CT3)を介してソース電極(17)に接続されている。

【0016】これらTFTの伝達特性を図3に示す。図3は、閾値電圧付近でのゲート電圧V_gとドレイン・ソース間電流I_sとの関係を示している。図1の(a)に示す画素部のTFTでは、チャンネル領域(11nd)は、ノンドーブのpoly-Si層により形成している。従って、その伝達特性は図3において、グラフ(I)に示す如く、V_g=0近傍において閾値がある特徴を示している。また、図1の(b)に示すシフトレジスタ部のTFTでは、チャンネル領域(11pc)は、p型に低濃度にドーピングしたpoly-Siにより形成しており、反転層の形成に要する電圧分のため、図3のグラフ(II)に示す如く、グラフ(I)よりも右へシフトした形で、閾値はグラフ(I)の場合よりも高くなる。

【0017】一方、図4の(a)及び(b)には、それぞれ、図1の(a)に示す画素部TFTの各電極電圧

と、図1の(b)に示すシフトレジスタ部のTFTの各電極電圧を示した。Vgはゲート電圧、Vdはドレイン電圧である。図4の(a)より分かるように、図1の(a)に示す画素部TFTの電極へ印加される電圧のうち、ドレイン電圧Vdは正負反転しており、かつ、1水平期間毎に、表示階調に対応してレベルが変わるアナログ信号電圧である。非選択期間中、即ち、TFTがOFFの期間ではゲート電圧Vgは負で、ゲート・ドレイン間の電圧Vgdは負に設定されている。通常の駆動において、ゲート・ドレイン間電圧Vgdは最低でも-2V程度あり、ドレイン電圧Vdが正の時は-15Vにもなる。また、映像信号よりドレイン電圧をサンプリングするサンプリング部においても、TFTの動作は、これと同様の電極電圧により駆動される。従って、図1の

(a)に示す画素部のTFT及びサンプリング部のTFTは、図3のグラフ(I)で示す如く、Vg=0Vで閾値がある特性が好ましい。即ち、チャンネル領域(11nd)がノンドープ層であるため、ゲート・ドレイン間電圧Vgdが負に大きくなっても、p型キャリアによりOFF電流が増大することが無くなり、また、チャンネル領域(11nd)がノンドープであるため、移動度が高く、充電能力が向上するため、トランジスタサイズの小型化、高精細化、及び画素数の増加によって1水平走査期間が短縮しても、良好な表示がなされる。また、ゲート・ドレイン間電圧Vgdの閾値が小さくなったことにより、駆動電圧レベルを全体に下げることができ、消費電力が減少する。更に、画素部のTFTのチャンネル幅は、2 μ mであるのに対して、サンプリング部のTFTのチャンネル幅は、600 μ m程度あり、チャンネルドープにより、閾値は大幅に上がる。即ち、画素部とサンプリング部において、閾値がばらついてしまう。従って、サンプリング部において、チャンネルドープを行わないことにより、閾値制御が容易となるため、設計コストが下がり、歩留まりが向上する。

【0018】また、図4の(b)に示す如く、図1の(b)のシフトレジスタ部のTFTは、ゲート電圧Vgとドレイン電圧Vdは、ハイレベルとローレベルが同じ電圧となるデジタル動作である。従って、OFF中にゲート・ドレイン間電圧Vgdが0Vとなるので、OFF電流を遮断するためには、閾値が0Vよりも高くなっていることが好ましい。即ち、ゲート電圧Vgがローレベルのスタンバイ時、ゲート・ドレイン電圧Vgdが若干のマージンをもって閾値以下となる設定により、サブシュレッシュホールド電流が防がれ、リーク電流が抑えられるので、誤動作が防止される。

【0019】即ち、本発明では、画素部及びサンプリング部では、ドレイン電圧がアナログ信号電圧であり、ゲート・ドレイン間電圧を負とすることにより、導通を遮断することに着目し、チャンネルドープにより閾値を上げることをせず、かつ、これにより、ゲート・ドレイン

間電圧が負に大きくなっても、p型電導が無くなり、OFF電流が抑制される。また、ON時の移動度が向上するため、高精細化、大画面化にも対応することができる。更に、pn接合障壁によるOFF電流の遮断が不能となる点は、LDD構造によりOFF電流を抑えることで補償している。同時に、デジタル動作を行うシフトレジスタ部では、チャンネルドープを行い、閾値を上げることで信号電圧レベルのシフトに対するマージンを高め、誤動作を防ぎ、信頼性を向上するものである。

【0020】続いて、図1に示す液晶表示装置の製造方法を説明する。図5から図15は、製造方法を示す工程断面図である。各図の(a)は図1の(a)に対応する画素部のTFTであり、(b)は図2の(b)に対応するシフトレジスタ部のn-chTFTであり、(c)は図1の(c)に対応するp-chTFTである。サンプリング部のTFTは、(a)と同様の方法で製造される。

【0021】まず図5において、ガラスからなる基板(10)上に、シランSiH4を材料ガスとしたCVDによりアモルファスシリコン(a-Si)を積層する。このa-Siを400℃のエキシマレーザアニールにより多結晶化し、ポリシリコン(p-Si)(11)とする。これを、反応性イオンエッチ、即ち、RIE(reactive ion etch)によりエッチングしてTFT部の島層及び第1の補助容量電極(11C)を形成する。

【0022】次に、図6において、画素部(a)及びp-ch部(c)をレジスト(R)で覆った後、p型不純物であるボロン(B)のイオン打ち込みを行うことにより、シフトレジスタ部(b)のp-Si(11)層をp型に低濃度にドーピングする。レジスト剥離後、図7に示す如く、これらの上に、440℃の減圧CVDにより、SiO2を1000Åの厚さに積層し、ゲート絶縁膜(12)を形成する。そして全TFT部上にレジスト(R)を被覆して、燐(P)などのn型不純物のイオン打ち込みを行い、第1の補助容量電極(11C)を低抵抗化する。

【0023】次に図8に示す如く、この上に、SiH4を材料ガスとした580℃の高温CVDによりpoly-Siを積層して、燐のイオン注入を行って低抵抗化した後、タングステンシリサイド(WSi)をスパッタリングする。引き続き、410℃の常圧CVDにより、注入ストッパー(14)となるSiO2を積層する。そして、これらSiO2、及びpoly-SiとWSiのポリサイド層をRIEにより同一パターンでエッチングして、ゲート電極(13G)と画素部においてこれを行について互いに接続するゲートライン(13L)、第2の補助容量電極(13C)、及び、これらゲート電極(13G)とそのライン及び第2の補助容量電極(13C)上に被覆された注入ストッパー(14)を形成する。

【0024】図9に示す如く、再び、410℃の常圧CVDにより、SiO₂を積層し、これをRIEによりエッチングすることにより、ゲート電極(13G)とその上の注入ストッパー(14)に側壁スペーサ(15)を形成する。次に、図10に示す如く、p-chTFT(c)を覆うレジスト(R)を形成した後、燐(P)などのn型不純物の第1回のイオン打ち込みを低ドーズ量(3~5×10¹³/cm²)で行い、ゲート電極(13G)をマスクにソース及びドレイン領域(11S, 11D)とLD領域(11L)となる領域を低濃度(10 (n-)にドーピングする。この時、画素部(a)ではゲート電極(13G)の直下はノンドープのチャンネル領域(11nd)に、シフトレジスタ部(b)のn-chTFTではp型にドーピングされたチャンネル領域(11pc)として残っている。なお、スペーサ(15)は、この工程において、燐イオン注入後のアニールによる横方向の拡散に対するマージンを設けるためと、チャンネル領域端の不純物濃度を低下してドレイン電界を緩和し、耐圧を向上する働きを有している。

【0025】引き続き図11に示す如く、画素部(a) 20 にゲート電極(13G)よりもサイズの大きなレジスト(R1)を被覆してこれをマスクに燐(P)の第2回のイオン打ち込みを高ドーズ量(3×10¹⁵/cm²)で行う。これにより、画素部(a)のレジスト(R1)直下が、低濃度のドーピング領域(n-)に保たれてLD領域(11L)が形成されるとともに、このLD領域(11L)の外側には、高濃度にドーピングされたn+層からなるソース領域(11S)及びドレイン領域(11D)が形成される。シフトレジスタ部(b)では、LD領域が無く、チャンネル領域(11pc)の両 30 側に高濃度にドーピングされたn+層からなるソース領域(11S)及びドレイン領域(11D)が形成される。

【0026】レジストを剥離した後、図12に示す如く、画素部(a)及びシフトレジスタ部(b)のn-chTFTを覆うレジスト(R)を形成し、p型不純物であるボロン(B)のイオン打ち込みを行い、p型の高濃度層(p+)によりp-chTFT(c)のソース領域(11S)及びドレイン領域(11D)を形成する。この 40 時、ゲート電極(13G)直下では、ノンドープに保たれてチャンネル領域(11nd)が形成される。また、注入ストッパー(14)は、n型にドーピングされて低抵抗化されたゲート電極とそのラインハボロンがカウンタードープされて、抵抗を上げてしまうことを防いでいる。

【0027】ランプアニールまたはエキシマレーザアニールにより、p-Siのドーパド領域(11cp, 11L, 11S, 11D)を活性化した後、図13に示す如く、410℃の常圧CVDによりSiO₂を2000Å形成し、600℃でアニールした後、更に、300℃ 50

のプラズマCVDによりSiO₂を3000Åの厚さに成膜して、第1の層間絶縁膜(16)を形成する。その後、シリコン中の未結合手終端の目的で、450℃のH₂アニールを行った後、RIEによりドレイン及びソース領域(11D, 11S)上のゲート絶縁膜(12)及び第1の層間絶縁膜(16)中にコンタクトホール(CT1, CT2)を形成する。

【0028】そして、図14に示す如く、Ti/AlSiをスパッタリングにより、7000Åの厚さに積層し、これをRIEにより、パターニングしてドレイン電極(17)及びソース電極(18)を形成し、各々、コンタクトホール(CT1, CT2)を介してドレイン及びソース領域(11D, 11S)に接続される。再び、シリコン中の未結合手終端のために、390℃のHプラズマ処理を行った後、図15に示す如く、410℃のCVDにより、SiO₂を2000Åの厚さに積層した後、SOG膜、即ち、スピン塗布及び焼成により形成するSiO₂膜を被覆して、平坦化した後、更に、410℃のCVDにより、SiO₂を1000Åの厚さに積層して第2の層間絶縁膜(19)を完成する。そして、RIEにより画素部(a)のソース電極(18)上の第2の層間絶縁膜(19)中にコンタクトホール(CT3)を形成する。

【0029】最後に、ITOをスパッタリングにより成膜し、これをRIEによりパターニングして表示電極(20)を形成し、ソース電極(18)に接続され、図1に示すTFT基板が完成される。

【0030】

【発明の効果】以上の説明から明らかな如く、本発明は、多結晶シリコン薄膜トランジスタにより、画素部と同様に駆動回路部を基板上に一体形成した液晶表示装置において、駆動回路部のシフトレジスタ部にチャンネルドープを行うとともに、画素部及び駆動回路部のサンプリング部にはチャンネルドープを行わない構成である。これにより、シフトレジスタ部において、閾値が上がり、相補動作の導通・不導通制御マージンが得られ、誤動作が防がれ、信頼性が高まるとともに、画素部及びサンプリング部においては、p型導電によるOFF電流が防がれ、コントラスト比が向上され、かつ、ON抵抗が低下して充電効率が良くなるため、高精細、大画面にも最適な表示装置が得られる。また、閾値が低いため低電圧駆動が可能となり、消費電力が低減される。

【図面の簡単な説明】

【図1】本発明の実施形態に係る液晶表示装置の各部のTFTの断面図である。

【図2】本発明の実施形態に係る液晶表示装置の単位画素部の平面図である。

【図3】本発明の実施形態に係る液晶表示装置の各部のTFTの伝達特性特性である。

【図4】本発明の実施形態に係る液晶表示装置の各部の

1 1

TFTの電圧波形図である。

【図5】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図6】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図7】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図8】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図9】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図10】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図11】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図12】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図13】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図14】本発明の実施形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図15】本発明の実施形態に係る液晶表示装置の製造

1 2

方法を示す工程断面図である。

【図16】液晶表示装置の構成図である。

【図17】液晶表示装置の単位画素部の平面図である。

【図18】図17のB-B線に沿った断面図である。

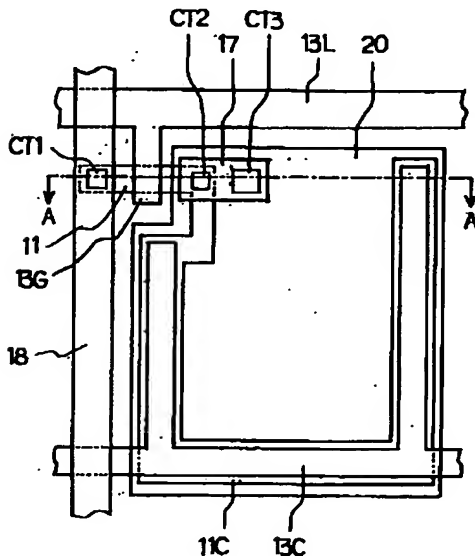
【図19】駆動回路部の断面図である。

【図20】従来の液晶表示装置の問題点を説明するTFTの伝達特性である。

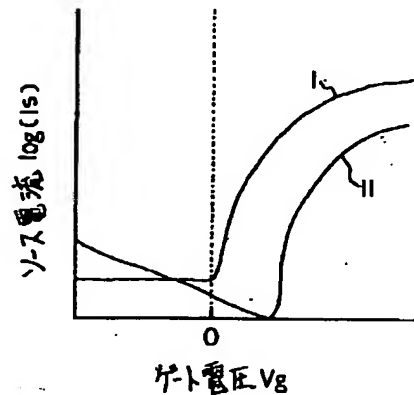
【符号の説明】

- 10 基板
- 11 p-Si
- 12 ゲート絶縁膜
- 13 ゲート電極配線
- 14 注入ストッパー
- 15 スペース
- 16 第1の層間絶縁膜
- 17 ドレイン電極
- 18 ソース電極
- 19 第2の層間絶縁膜
- 20 表示電極
- CT1, CT2, CT3 コンタクトホール
- R レジスト

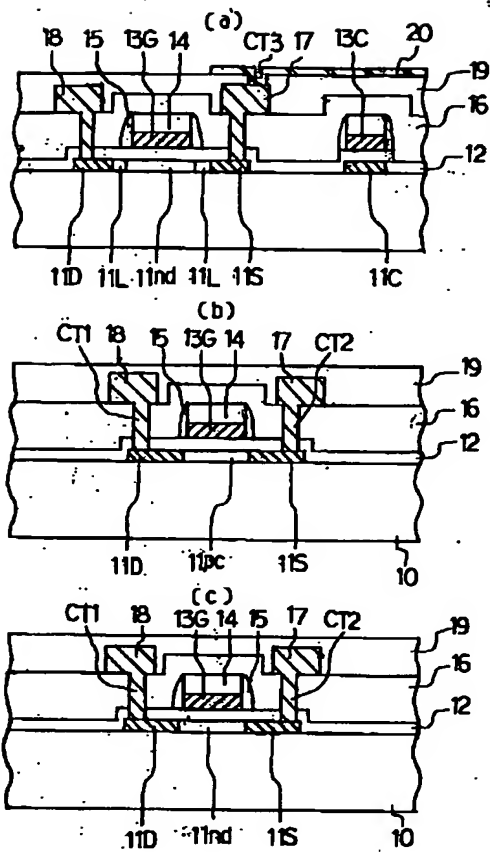
【図2】



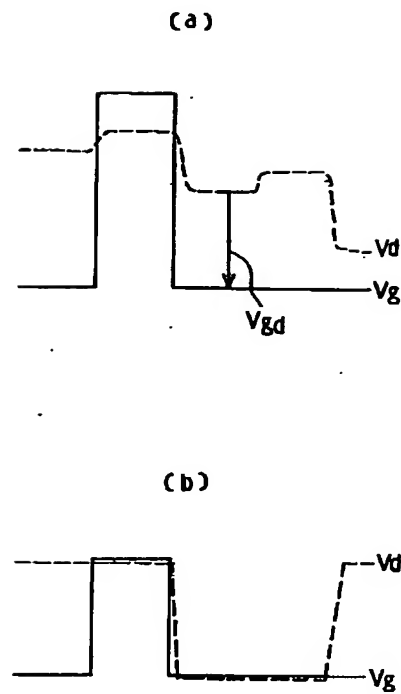
【図3】



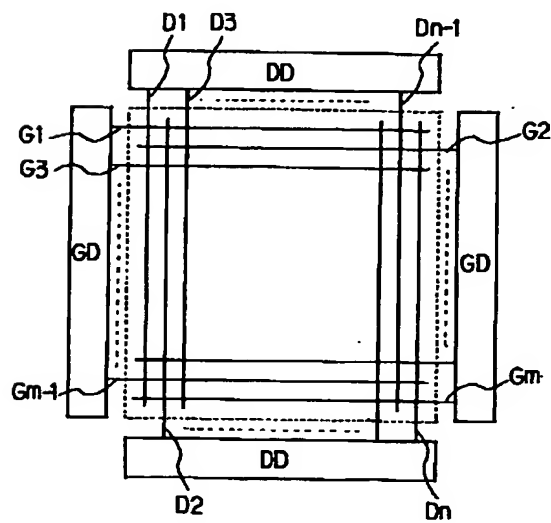
【図1】



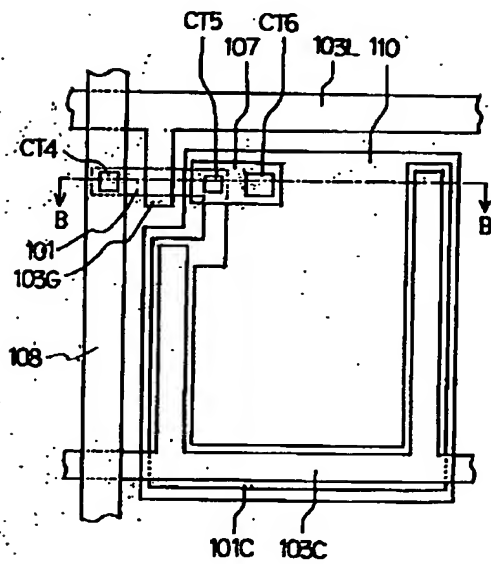
【図4】



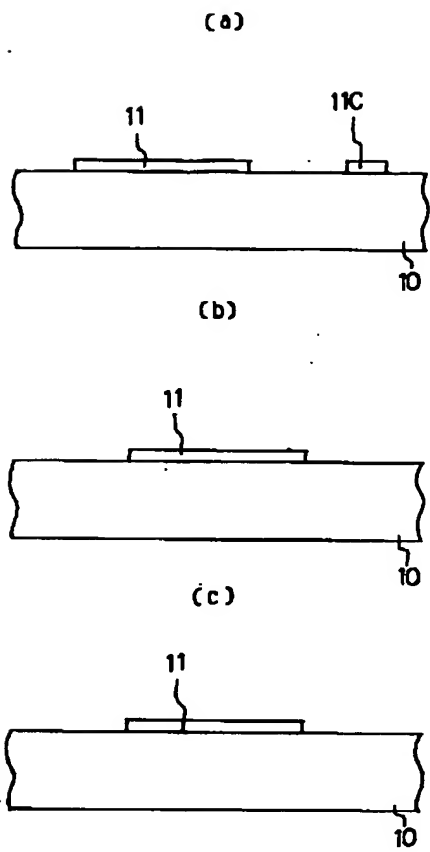
【図16】



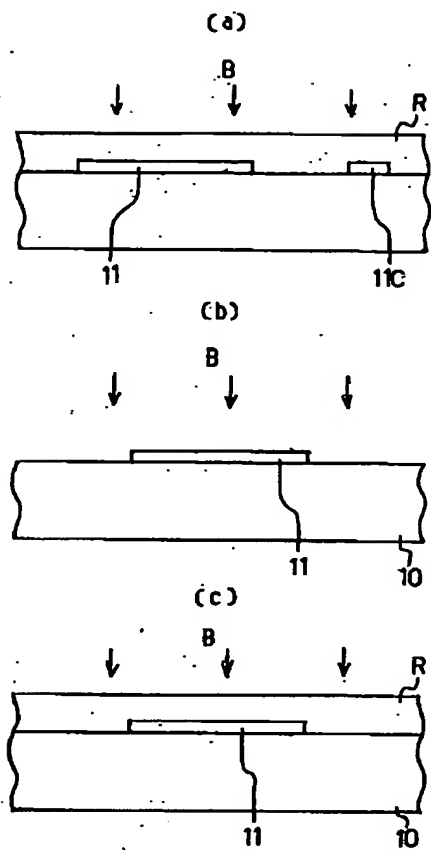
【図17】



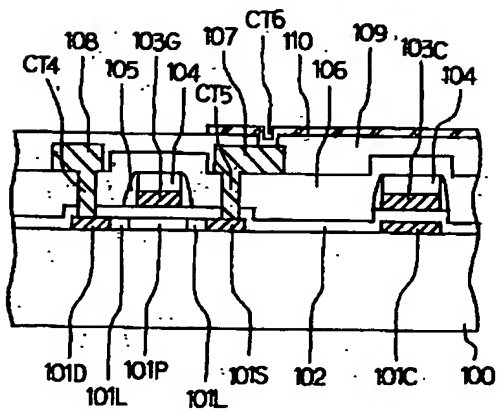
【図5】



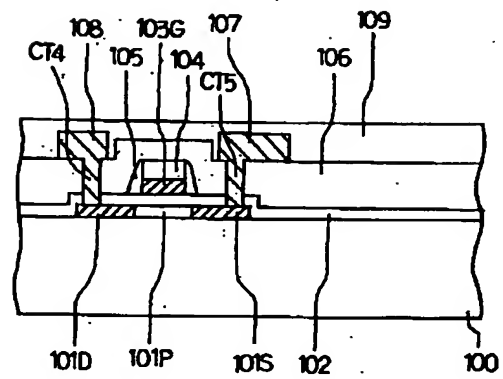
【図6】



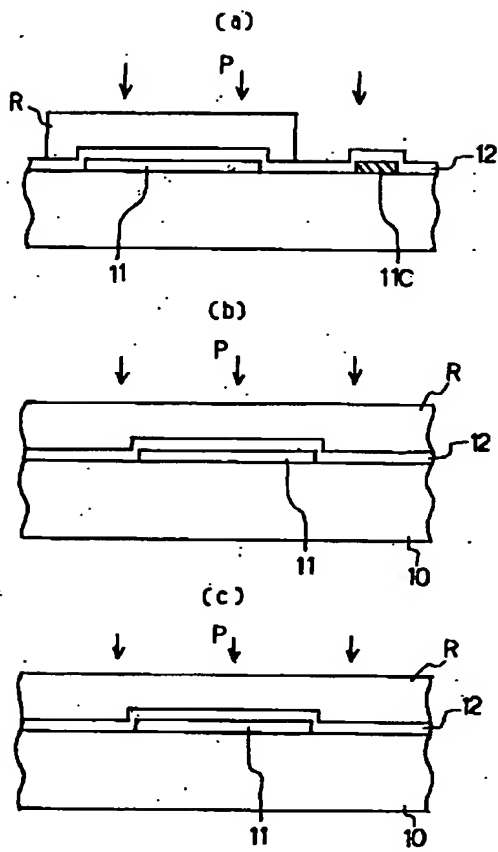
【図18】



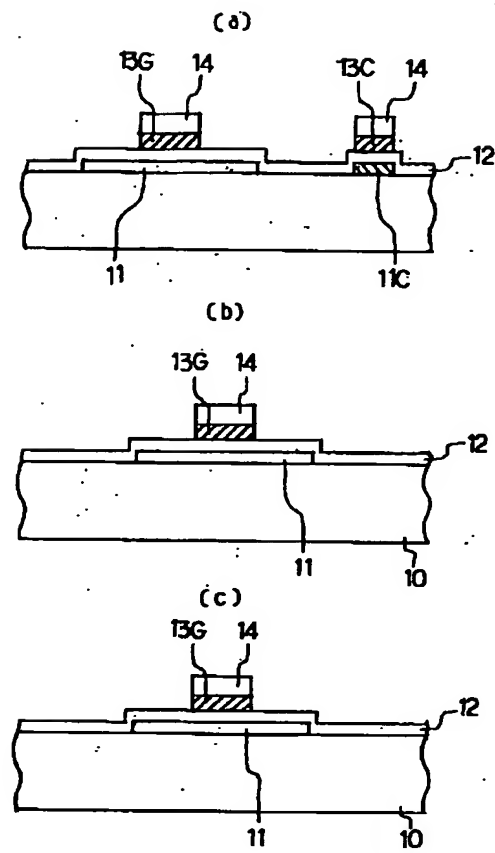
【図19】



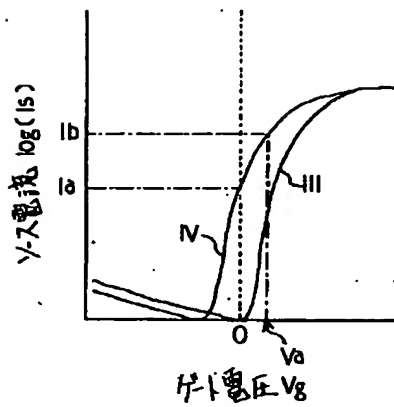
【図7】



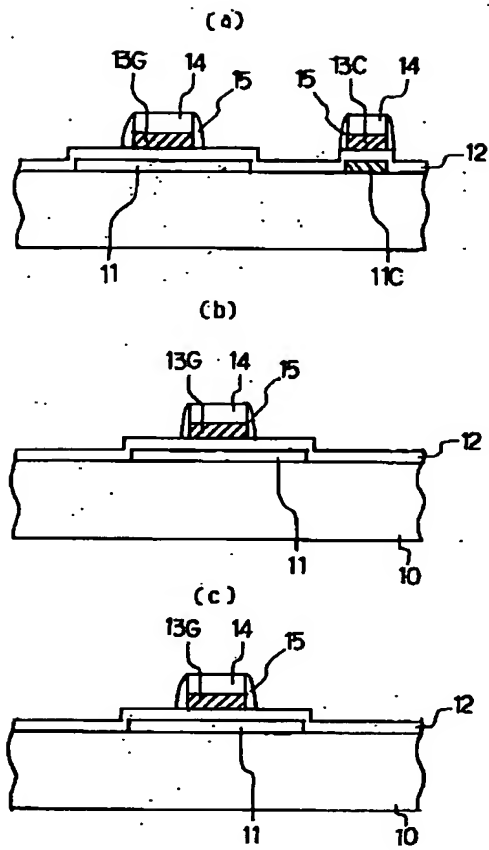
【図8】



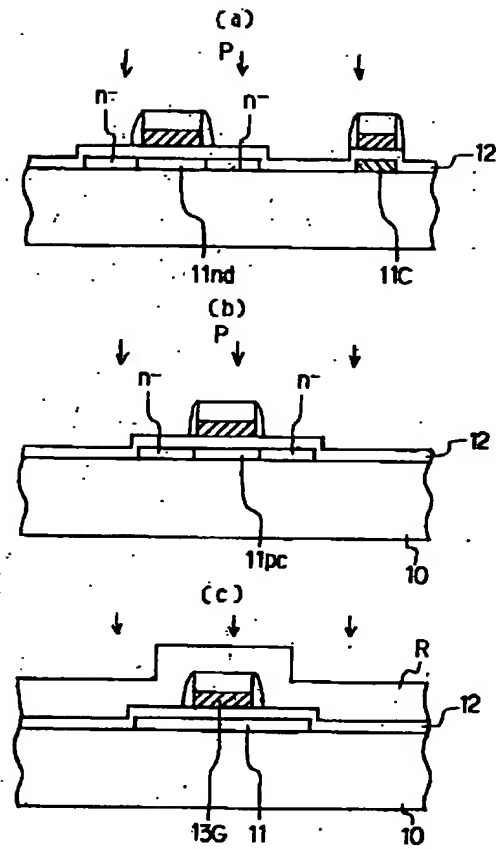
【図20】



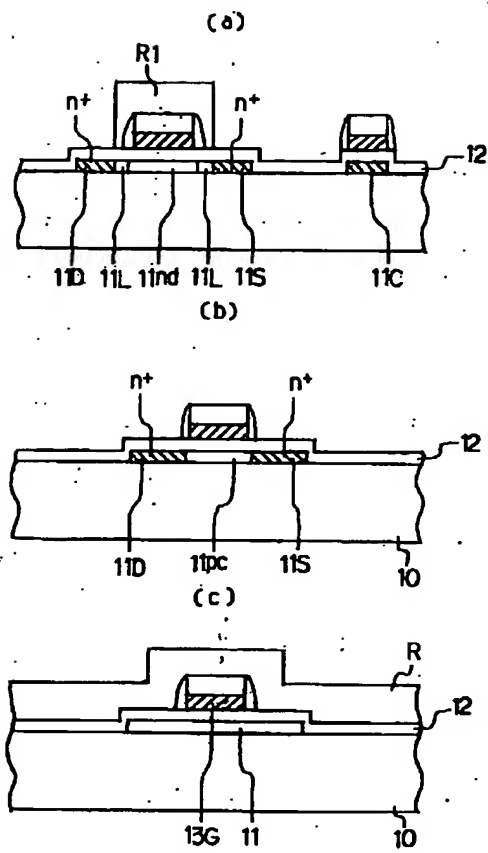
【図9】



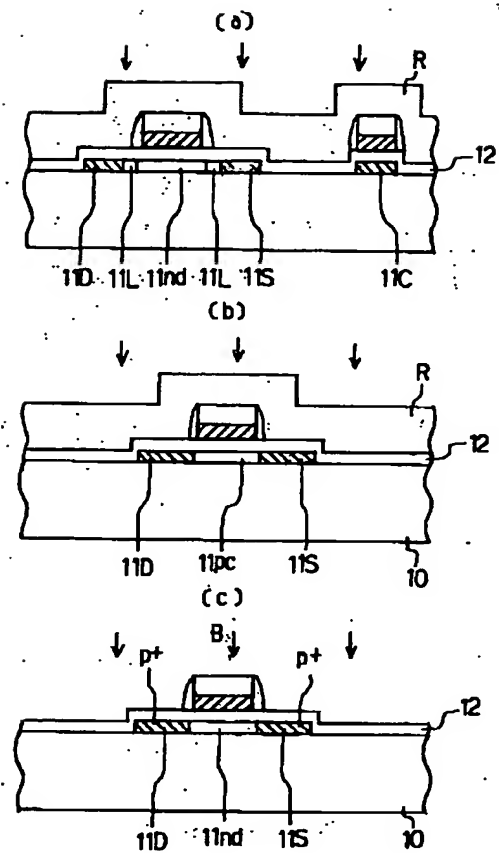
【図10】



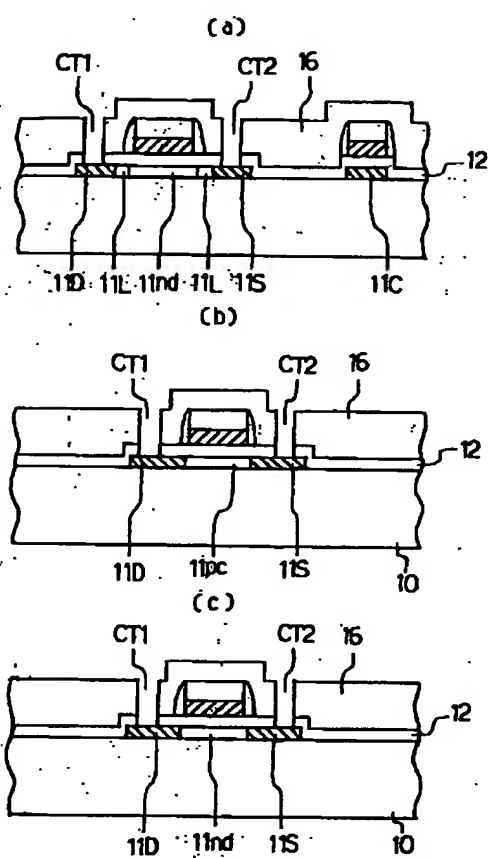
【図11】



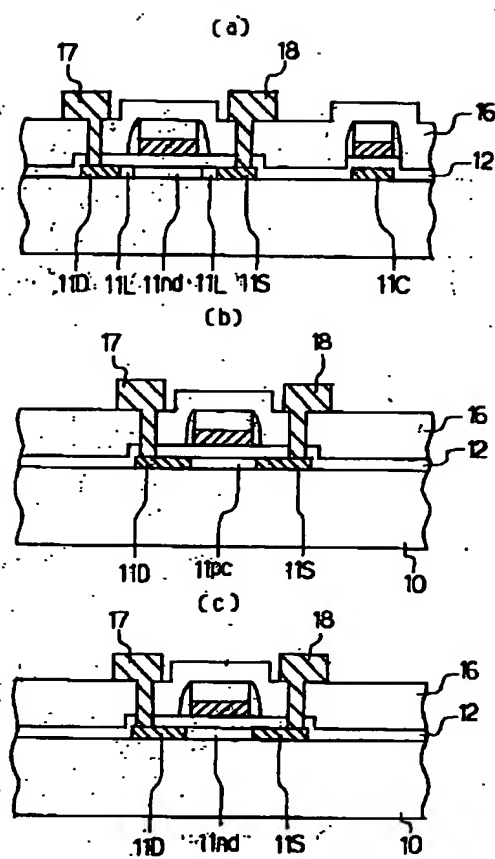
【図12】



【图13】



【图 14】



【例15】

